

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-272136

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H02M 7/48
H02M 3/155
H02M 7/5387

(21)Application number : 2001-067251

(71)Applicant : TDK CORP

(22)Date of filing : 09.03.2001

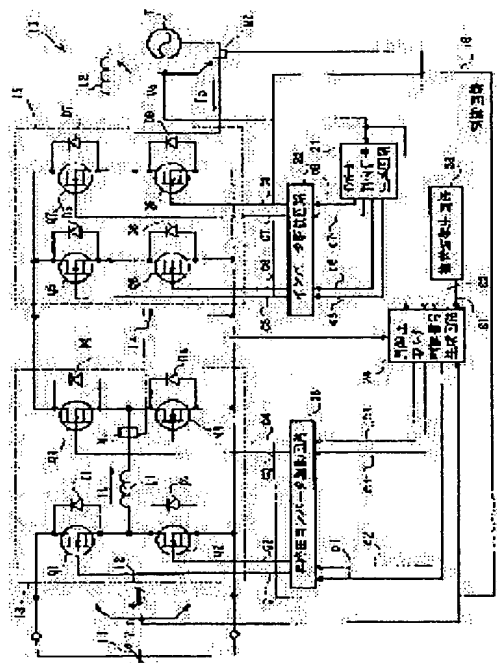
(72)Inventor : TANAKA KATSUAKI
OKITA YOSHIHISA
ITO KAZUYUKI

(54) INTERCONNECTED SYSTEM INVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an interconnected system inverter in which utility of a reactor is improved.

SOLUTION: This interconnected system converter, which supplies power from a DC power source 11 to a system 17, is equipped with a step-up and step-down converter 13 for converting a DC voltage supplied from the DC power source 11 into a pulsating current, and an inverter 15 for converting the pulsating current into AC. The converter 13 is provided with a first transistor Q1 and a second transistor Q2, which are connected in series between both terminals of the DC power source 11, a third transistor Q3 and a fourth transistor Q4 which are connected in series between input terminals of the inverter 15, and a reactor L1 which is connected between a node of the first and second transistors Q1, Q2 and a node of the third and fourth transistors Q3, Q4.



*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A system interconnection inverter which supplies electric power from DC power supply to a system, comprising:

A converter which changes into pulsating flow direct current voltage supplied from said DC power supply. The 1st and 2nd transistors that were equipped with an inverter which changes into exchange said pulsating flow supplied from said converter and to which said converter was connected in series among both ends of said DC power supply.

The 3rd and 4th transistors connected in series between input edges of said inverter.

A reactor connected between a node of said 1st and 2nd transistors, and a node of said 3rd and 4th transistors.

[Claim 2]When said direct current voltage is higher than an absolute value of voltage of said system, the PWM drive of said 1st and 2nd transistors is carried out, The system interconnection inverter according to claim 1 having further a control circuit which carries out the PWM drive of said 3rd and 4th transistors when said direct current voltage is lower than an absolute value of voltage of said system.

[Claim 3]When said direct current voltage of said control circuit is higher than an absolute value of voltage of said system, it makes one another side off for one side of said 3rd and 4th transistors, The system interconnection inverter according to claim 2 making one another side off for one side of said 1st and 2nd transistors when said direct current voltage is lower than an absolute value of voltage of said system.

[Claim 4]The system interconnection inverter according to claim 3 controlling ON and OFF of said 1st [the] thru/or the 4th transistor when said control circuit compares a control signal wave and the 1st and 2nd subcarriers which are generated based on a current value which flows into said reactor at least.

[Claim 5]The system interconnection inverter according to claim 4, wherein said 1st subcarrier has the waveform superimposed on a dc component substantially equal to the amplitude to said 2nd subcarrier.

[Claim 6]Said control circuit controls ON and OFF of said 3rd and 4th transistors by comparing said control signal wave with said 1st subcarrier, The system interconnection inverter according to claim 5 controlling ON and OFF of said 1st and 2nd transistors by comparing said control signal wave with said 2nd subcarrier.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]More particularly, this invention relates to the system interconnection inverter with which the utilization efficiency of a reactor has been improved about a system interconnection inverter.

[0002]

[Description of the Prior Art]The system interconnection inverter is known as a circuit which links with a system conventionally the direct current power supplied from DC power supplies, such as a solar cell and a fuel cell, and is changed into alternating current power. As an example of a system interconnection inverter, it is indicated to JP,2000-152651,A.

[0003]Drawing 3 is a circuit diagram of the conventional system interconnection inverter indicated in the gazette.

[0004]As shown in drawing 3, the conventional system interconnection inverter indicated in the gazette, The pressure-up converter 2 which performs corrugating while carrying out pressure up of the direct current voltage supplied from the input power 1, It has the intermediate stage capacitor 3 which carries out smoothness of the output from a pressure-up converter, the inverter 4 which carries out corrugating of the output current I_o to a sine wave, the filter 5 which carries out smoothness of the output voltage, and the control circuit 6 which controls operation of the pressure-up converter 2 and the inverter 4. In the state where the control circuit 6 has the voltage of the input power 1 lower than system voltage, While making the pressure-up converter 2 switch by high frequency, the inverter 4 is made to switch by a low frequency wave according to the polarity of system voltage, While stopping switching of the pressure-up converter 2, the inverter 4 is made to switch by high frequency in the state where the voltage of the input power 1 is higher than system voltage.

[0005]While pressure up and corrugating are performed by the pressure-up converter 2 by this in the state where the voltage of the input power 1 is lower than system voltage, corrugating will be performed by the inverter 4 in the state where the voltage of the input power 1 is higher than system voltage.

[0006]In the state where the voltage of the input power 1 is lower than system voltage, at this time, The reactor contained in the pressure-up converter 2 functions as a smooth reactor substantially, and the reactor contained in the filter 5 functions as a smooth reactor substantially in the state where the voltage of the input power 1 is higher than system voltage. Therefore, it is required that each reactor contained in the reactor contained in the pressure-up converter 2 and the filter 5 should have sufficient size required of a smooth reactor.

[0007]

[Problem(s) to be Solved by the Invention]However, in the conventional system interconnection inverter mentioned above, In the state where the voltage of the input power 1 is lower than system voltage, since the reactor contained in the pressure-up converter 2 functions as a smooth reactor substantially, a very small reactor may be sufficient as the reactor contained in the filter 5, and it may be deleted by a case. Therefore, in the state where the voltage of the input power 1 is lower than system voltage, the reactor contained in the filter 5 has a size more than needed, or can be said to be unnecessary depending on the case.

[0008]On the other hand, in the state where the voltage of the input power 1 is higher than system voltage,

the reactor contained in the filter 5 will function as a smooth reactor substantially, and the reactor contained in the pressure-up converter 2 may be deleted. Therefore, in the state where the voltage of the input power 1 is higher than system voltage, it can be said that the reactor contained in the pressure-up converter 2 is unnecessary.

[0009] Thus, in the conventional system interconnection inverter mentioned above, since the utilization efficiency of a reactor was bad, there was a problem that the loss generated not only with causing increase of product cost and enlargement of a circuit but with each reactor was large.

[0010] Therefore, the purpose of this invention is to provide the system interconnection inverter with which the utilization efficiency of a reactor has been improved.

[0011]

[Means for Solving the Problem] A converter which changes into pulsating flow direct current voltage which the purpose that this invention starts is a system interconnection inverter which supplies electric power from DC power supply to a system, and is supplied from said DC power supply, The 1st and 2nd transistors that were equipped with an inverter which changes into exchange said pulsating flow supplied from said converter and to which said converter was connected in series among both ends of said DC power supply, It is attained by system interconnection inverter having the reactor connected between the 3rd and 4th transistors connected in series between input edges of said inverter, and a node of said 1st and 2nd transistors and a node of said 3rd and 4th transistors.

[0012] Also in [according to this invention] any in a case of being low when direct current voltage is higher than an absolute value of voltage of a system, Since a reactor connected between a node of the 1st and 2nd transistors and a node of the 3rd and 4th transistors functions as a smooth reactor substantially, utilization efficiency of a reactor is high. For this reason, product cost is not only reducible, but it can miniaturize a circuit and it becomes still more possible to raise conversion efficiency.

[0013] In a desirable embodiment of this invention, when said direct current voltage is higher than an absolute value of voltage of said system, the PWM drive of said 1st and 2nd transistors is carried out, When said direct current voltage is lower than an absolute value of voltage of said system, it has further a control circuit which carries out the PWM drive of said 3rd and 4th transistors.

[0014] In a still more desirable embodiment of this invention, When said direct current voltage of said control circuit is higher than an absolute value of voltage of said system, it makes one another side off for one side of said 3rd and 4th transistors, and when said direct current voltage is lower than an absolute value of voltage of said system, one another side is made off for one side of said 1st and 2nd transistors.

[0015] In a still more desirable embodiment of this invention, said control circuit controls ON and OFF of said 1st [the] thru/or the 4th transistor by comparing a control signal wave and the 1st and 2nd subcarriers which are generated based on a current value which flows into said reactor at least.

[0016] In a still more desirable embodiment of this invention, said 1st subcarrier has the waveform superimposed on a dc component substantially equal to the amplitude to said 2nd subcarrier.

[0017] In a still more desirable embodiment of this invention, By comparing said control signal wave with said 1st subcarrier, said control circuit controls ON and OFF of said 3rd and 4th transistors, and controls ON and OFF of said 1st and 2nd transistors by comparing said control signal wave with said 2nd subcarrier.

[0018]

[Embodiment of the Invention] Hereafter, the desirable embodiment of this invention is explained in detail, referring to an accompanying drawing. Although the system interconnection inverter concerning this embodiment is a circuit which links with a system the direct current power supplied from DC power supply, and is changed into alternating current power and is not limited in particular, as DC power supply, the power supply from a solar cell or a fuel cell can be used for it.

[0019] Drawing 1 is a circuit diagram of the system interconnection inverter 10 concerning the desirable embodiment of this invention.

[0020] As shown in drawing 1, the system interconnection inverter 10 concerning this embodiment, It is connected with the input capacitor 12 connected among the both ends of DC power supply 11 among the both ends of DC power supply 11, and the voltage of DC power supply 11 Pressure up or the rise and fall pressure converter 13 which performs corrugating while lowering the pressure, The intercondenser 14 connected between the outgoing ends of the rise and fall pressure converter 13, It has the control circuit 16 which controls operation of the inverter 15 which performs a polar change, and the rise and fall

pressure converter 13 and the inverter 15 so that it may be connected between the outgoing ends of the rise and fall pressure converter 13 and the output current I_o may serve as a sine wave, and the output of the inverter 15 is connected to the system power supply 17.

[0021]The rise and fall pressure converter 13 is provided with the following.

The 1st arm that consists of the 1st transistor Q1 and 2nd transistor Q2 that were connected in series.

The 2nd arm that consists of the 3rd transistor Q3 and 4th transistor Q4 that were connected in series.

The reactor L1 for energy pooling connected between the 1st and 2nd transistors Q1, the node of Q2, and the 3rd and 4th transistors Q3 and the node of Q4.

The diodes D1–D4 connected in parallel with the 1st – the 4th transistor Q1–Q4, respectively.

As shown in drawing 1, the 1st and 2nd transistors Q1 and the 1st arm that consists of Q2 are connected among the both ends of DC power supply 11. The 3rd and 4th transistors Q3 and the 2nd arm that consists of Q4 serve as an outgoing end of the rise and fall pressure converter 13. The rise and fall pressure converter 13 is equipped with the reactor current monitor M1 which detects reactor current I_L which flows into the reactor L1, and the detection value is supplied to the control circuit 16.

[0022]Although explained in full detail below, the 3rd transistor Q3 and 4th transistor Q4 will be in an ON state by turns, the 1st transistor Q1 being held at an ON state, and the 2nd transistor Q2 being held at an OFF state, when the rise and fall pressure converter 13 performs pressure-up operation. On the other hand, the 1st transistor Q1 and 2nd transistor Q2 will be in an ON state by turns, the 3rd transistor Q3 being held at an ON state, and the 4th transistor Q4 being held at an OFF state, when the rise and fall pressure converter 13 performs pressure-lowering operation.

[0023]The intercondenser 14 constitutes a filter with the reactor L1 contained in the rise and fall pressure converter 13. What is necessary is just to set it as tens of micro F – about hundreds of micro F, when sufficient value to absorb the ripple current generated when the rise and fall pressure converter 13 performs pressure-up operation is calculated and the reactor L1 whose inductance is about 1 mH is specifically used as the capacity value.

[0024]The inverter 15 is provided with the following.

The 3rd arm that consists of the 5th transistor Q5 and 6th transistor Q6 that are what is called full bridge circuits, and were connected in series.

The 4th arm that consists of the 7th transistor Q7 and 8th transistor Q8 that were connected in series.

The diodes D5–D8 connected in parallel with the 5th – the 8th transistor Q5–Q8, respectively.

As shown in drawing 1, the 5th and 6th transistors Q5, the 3rd arm that consists of Q6 and the 7th and 8th transistors Q7, and the 4th arm that consists of Q8, All are connected between the outgoing ends of the rise and fall pressure converter 13, and the system power supply 17 is connected between the 5th and 6th transistors Q5, the node of Q6, and the 7th and 8th transistors Q7 and the node of Q8.

[0025]As shown in drawing 1, between the 5th and 6th transistors Q5, the node of Q6, and the end of the system power supply 17, the reactor L2 for noise rejection is connected, but. What is necessary is just to use a very small reactor, for example, the reactor which has the inductance of about hundreds of microhenries, in this embodiment, since the voltage concerning the both ends of the reactor L2 is very small. That is, since $E t$ product is very small in the reactor L2, the reactor whose core shape is very small can be used. However, this reactor L2 is not a reactor indispensable in the conversion operation, or the pressure up / pressure-lowering operation by the system interconnection inverter 10, and it may omit this depending on the case in order to only aim at removal of a noise.

[0026]The other end of the system power supply 17 is equipped with the output current monitor M2 which detects the output current I_o , and the detection value is supplied to the control circuit 16.

[0027]The control circuit 16 is provided with the following.

The inverter control signal generating circuit 21 which generates the inverter control signals c5–c8.

The inverter drive circuit 22 which generates the inverter drive signals C5–C8 in response to the inverter control signals c5–c8.

The subcarrier generation circuit 23 which generates the 1st subcarrier S1 and 2nd subcarrier S2.

The rise and fall pressure converter control signal generating circuit 24 which generates the rise and fall pressure converter control signals c1–c4, and the rise and fall pressure converter drive circuit 25 which generates the rise and fall pressure converter driving signals C1–C4 in response to the rise and fall pressure converter control signals c1–c4.

[0028]The inverter control signal generating circuit 21 detects the polarity of the output voltage V_o , and generates the inverter control signals c5–c8 based on this. When the polarity of the output voltage V_o is positive, more specifically, The inverter control signals c5 and c8 are made into high level, and the inverter control signals c6 and c7 are made into a low level, and conversely, when the polarity of the output voltage V_o is negative, make the inverter control signals c6 and c7 into high level, and let the inverter control signals c5 and c8 be low level.

[0029]The inverter drive circuit 22 is a circuit which drives the inverter 15 by amplifying the inverter control signals c5–c8, generating the inverter drive signals C5–C8, and supplying these to the gate of the 5th – the 8th transistor Q5–Q8, respectively. Therefore, four buffer circuits which receive the inverter control signals c5–c8 in the inverter drive circuit 22, respectively, and output the inverter drive signals C5–C8 to it are included.

[0030]As mentioned later, the 1st and 2nd subcarriers S1 and S2 which are generated by the subcarrier generation circuit 23 are the chopping sea in which all had the same cycle as the switching periods of the rise and fall pressure converter 13. The 1st subcarrier S1 has the waveform superimposed on the dc component substantially equal to the amplitude to the 2nd subcarrier S2, and, thereby, the lower end voltage of the 1st subcarrier S1 and peak voltage's of the 2nd subcarrier S2 corresponds substantially.

[0031]The rise and fall pressure converter control signal generating circuit 24 receives the input voltage V_{in} , the output voltage V_o , the detection value of reactor current I_L , the detection value of the output current I_o , the 1st subcarrier S1, and the 2nd subcarrier S2, and generates the rise and fall pressure converter control signals c1–c4 based on these. More concrete operation is mentioned later.

[0032]The rise and fall pressure converter drive circuit 25 is a circuit which drives the rise and fall pressure converter 13 by amplifying the rise and fall pressure converter control signals c1–c4, generating the rise and fall pressure converter driving signals C1–C4, and supplying these to the gate of the 1st – the 4th transistor Q1–Q4, respectively. Therefore, four buffer circuits which receive the rise and fall pressure converter control signals c1–c4 in the rise and fall pressure converter drive circuit 25, respectively, and output the rise and fall pressure converter driving signals C1–C4 to it are included.

[0033]Next, operation of the system interconnection inverter 10 concerning this embodiment is explained.

[0034]Drawing 2 is a wave form chart of the system interconnection inverter 10 concerning this embodiment of operation.

[0035]As shown in drawing 2, operation of the system interconnection inverter 10 concerning this embodiment, The period (the time t_0 – t_1 , the time t_2 – t_4 , time t_5 – t_6) when the input voltage V_{in} from DC power supply 11 is higher than the absolute value of the voltage of the system power supply 17, Operation which is different in the period (the time t_1 – t_2 , time t_4 – t_5) when the input voltage V_{in} from DC power supply 11 is lower than the absolute value of the voltage of the system power supply 17 is performed.

[0036]When it explains in detail, first the rise and fall pressure converter control signal generating circuit 24, Based on the input voltage V_{in} , the output voltage V_o , the detection value of reactor current I_L , and the detection value of the output current I_o , While carrying out internal generation of the pressure-lowering command value wave which shows the desired value of reactor current I_L which should be passed to the reactor L1 in the period when the input voltage V_{in} is higher than the absolute value of the voltage of the system power supply 17, Internal generation of the pressure-up command value wave which shows the desired value of reactor current I_L which should be passed to the reactor L1 in the period when the input voltage V_{in} is lower than the absolute value of the voltage of the system power supply 17 is carried out. The waveform of these pressure-lowering command value wave and the pressure-up command value wave is shown in drawing 2 (l). The command value wave which has a higher value in each time zone among these pressure-lowering command value wave and the pressure-up command value wave turns into a current command value wave. The waveform of the current command value wave is shown in drawing 2 (m). As shown in drawing 2 (l), a pressure-lowering command value wave is an absolute value waveform of a sine wave, and a pressure-up command value wave is a waveform drawn by (absolute value x pressure-lowering command value wave of voltage of system power supply 17)/(input voltage V_{in}).

[0037]In [as shown in drawing 2 (l) and (m)] the period when the input voltage V_{in} is higher than the absolute value of the voltage of the system power supply 17, In the period which shows the value in which the pressure-lowering command value wave is higher than a pressure-up command value wave and when the input voltage V_{in} is lower than the absolute value of the voltage of the system power supply 17, Since the value in which the pressure-up command value wave is higher than a pressure-lowering command

value wave is shown, a current command value wave, In the period when the input voltage V_{in} is higher than the absolute value of the voltage of the system power supply 17, it will be in agreement with a pressure-up command value wave in accordance with a pressure-lowering command value wave in the period when the input voltage V_{in} is lower than the absolute value of the voltage of the system power supply 17. the waveform shown in drawing 2 (k) although the comparison with the absolute value of the input voltage V_{in} and the voltage of the system power supply 17 is shown in drawing 2 (k) — this operative condition — it is for explaining operation of the system interconnection inverter 10 applied like, and such comparison is not performed in the control circuit 16.

[0038]Next, the rise and fall pressure converter control signal generating circuit 24 compares a current command value wave with the detection value of reactor current I_L , and based on this, it generates a control signal wave so that the waveform of reactor current I_L may be in agreement with a current command value wave.

[0039]Furthermore, the rise and fall pressure converter control signal generating circuit 24 compares a control signal wave, the 1st and 2nd subcarriers S_1 , and S_2 , and generates the rise and fall pressure converter control signals c_1 – c_4 based on this. In a period higher than the 1st subcarrier S_1 , a control signal wave makes high-level the rise and fall pressure converter control signal c_4 , and, specifically, a control signal wave makes high-level conversely the rise and fall pressure converter control signal c_3 in a period lower than the 1st subcarrier S_1 . In a period higher than the 2nd subcarrier S_2 , a control signal wave makes high-level the rise and fall pressure converter control signal c_1 , and a control signal wave makes high-level conversely the rise and fall pressure converter control signal c_2 in a period lower than the 2nd subcarrier S_2 .

[0040]By this, since the rise and fall pressure converter control signals c_1 and c_2 turn into an opposite phase signal mutually and the rise and fall pressure converter control signals c_3 and c_4 turn into an opposite phase signal mutually, the PWM drive of the 1st thru/or the 4th transistor Q_1 – Q_4 will be carried out. However, so that one [simultaneously or / the 3rd transistor Q_3 and 4th transistor Q_4] simultaneously, [the 1st transistor Q_1 and 2nd transistor Q_2] A dead time is inserted among the rise and fall pressure converter control signals c_1 and c_2 and among the rise and fall pressure converter control signals c_3 and c_4 .

[0041]Since the 1st subcarrier S_1 is the waveform superimposed on the dc component substantially equal to that amplitude to the 2nd subcarrier S_2 as above-mentioned, the 1st subcarrier S_1 and 2nd subcarrier S_2 do not have a lapped part substantially, but This sake, In the 1st and 2nd transistors Q_1 and the period which Q_2 has switched by high frequency, The 3rd and 4th transistors Q_3 and the switching operation of Q_4 will stop, and the 1st and 2nd transistors Q_1 and the switching operation of Q_2 will stop in the 3rd and 4th transistors Q_3 and the period which Q_4 has switched by high frequency.

[0042]In the timing whose absolute value of the input voltage V_{in} and the voltage of the system power supply 17 corresponds here, Are set up so that a control signal wave may cross the boundary of the field where the waveform of the 1st subcarrier S_1 exists, and the field where the waveform of the 2nd subcarrier S_2 exists, and This sake, Drawing 2 (b) In [as shown in – (e)] the period when the input voltage V_{in} is higher than the absolute value of the voltage of the system power supply 17, The PWM drive of the 1st and 2nd transistors Q_1 and Q_2 will be carried out, and the PWM drive of the 3rd and 4th transistors Q_3 and Q_4 will be carried out in the period when the input voltage V_{in} is lower than the absolute value of the voltage of the system power supply 17.

[0043]If the PWM drive of the 1st and 2nd transistors Q_1 and Q_2 is carried out, the pressure of the input voltage V_{in} will be lowered, and if the PWM drive of the 3rd and 4th transistors Q_3 and Q_4 is carried out, pressure up of the input voltage V_{in} will be carried out. Thereby, the voltage waveform between the outgoing ends of the rise and fall pressure converter 13 is supplied to the system power supply 17, after becoming a pulsating flow waveform, being substantially in agreement with the absolute value of the voltage of the system power supply 17 and this being changed into a sine wave by the inverter 15.

[0044]In the above operations, ON and OFF of the 1st – the 4th transistor Q_1 – Q_4 , Since it is determined by comparing a control signal wave, the 1st subcarrier S_1 , and the 2nd subcarrier S_2 , a change in the pressure-lowering operation and pressure-up operation by the rise and fall pressure converter 13 will be performed automatically. It turns out that the reactor L_1 is functioning as a smooth reactor in common also in any in the case of performing pressure-up operation when the rise and fall pressure converter 13 is performing pressure-lowering operation, and utilization efficiency is raised substantially.

[0045] Thus, since the reactor L1 functions as a smooth reactor in common also in any in the case of performing pressure-up operation when the rise and fall pressure converter 13 is performing pressure-lowering operation and, its utilization efficiency of a reactor is high according to the system interconnection inverter 10 by this embodiment. For this reason, product cost is not only reducible, but it can miniaturize a circuit and it becomes still more possible to raise conversion efficiency.

[0046] By comparing a control signal wave, the 1st subcarrier S1, and the 2nd subcarrier S2 according to the system interconnection inverter 10 by this embodiment, Since a change in the pressure-lowering operation and pressure-up operation by the rise and fall pressure converter 13 is performed automatically, control by the control circuit 16 can be performed simply.

[0047] Various change is possible for this invention within the limits of the invention indicated to the claim without being limited to the above embodiment, and it cannot be overemphasized that they are also what is included within the limits of this invention.

[0048]

[Effect of the Invention] As explained above, according to this invention, it becomes possible to provide the system interconnection inverter with which the utilization efficiency of a reactor has been improved.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

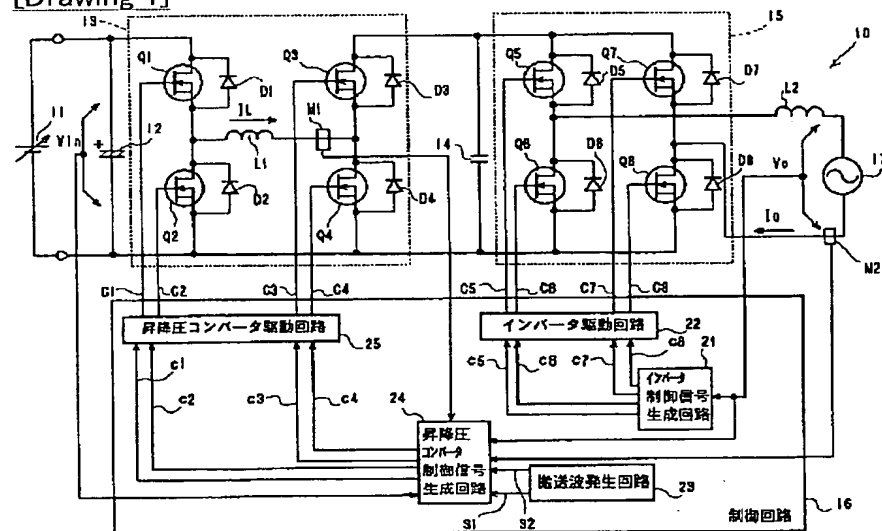
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

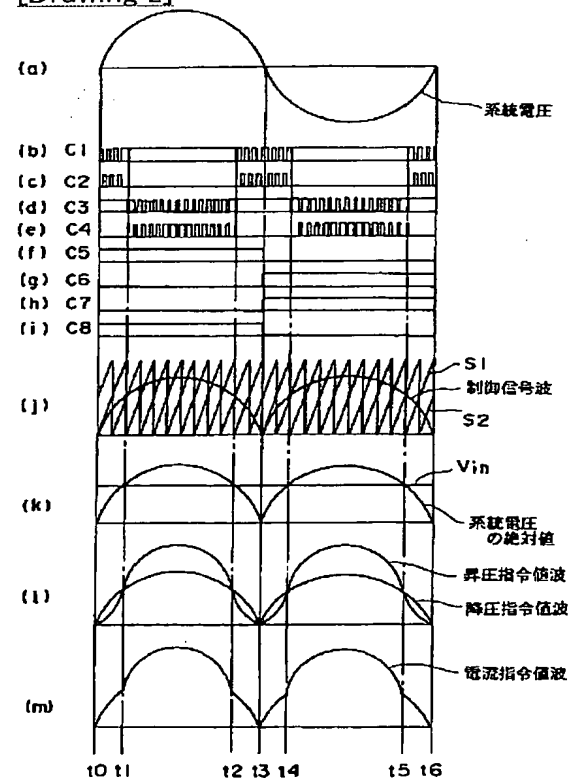
3.In the drawings, any words are not translated.

DRAWINGS

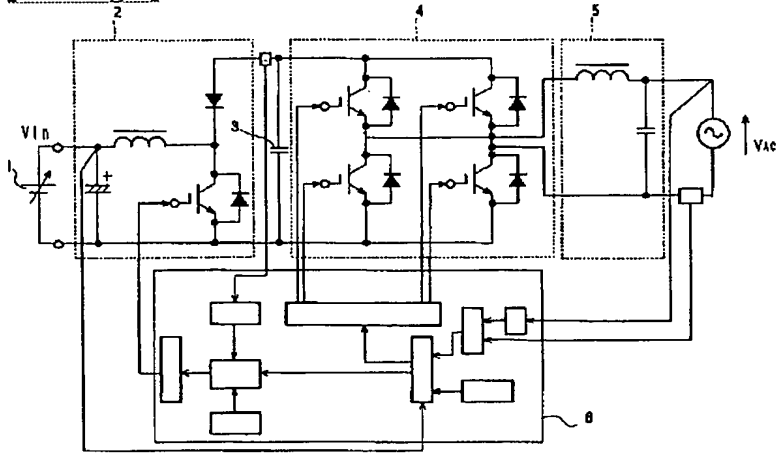
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-272136

(P2002-272136A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl.⁷

識別記号

F I

テマコード*(参考)

H 0 2 M 7/48
3/155
7/5387

H 0 2 M 7/48
3/155
7/5387

R 5 H 0 0 7
U 5 H 7 3 0
Z

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願2001-67251(P2001-67251)

(22)出願日 平成13年3月9日(2001.3.9)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 田中 克明

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72)発明者 沖田 美久

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74)代理人 100078031

弁理士 大石 皓一 (外1名)

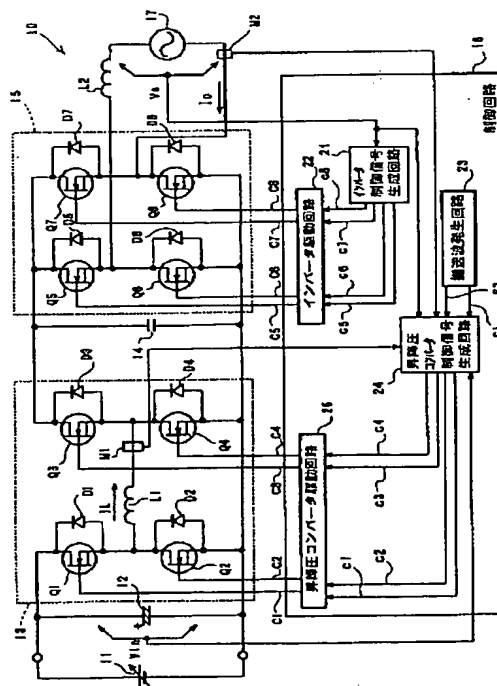
最終頁に続く

(54)【発明の名称】 系統連系インバータ

(57)【要約】

【課題】 リアクトルの利用効率が改善された系統連系インバータを提供する。

【解決手段】 直流電源11からの電力を系統17に供給する系統連系インバータであって、直流電源11から供給される直流電圧を脈流に変換する昇降圧コンバータ13と、昇降圧コンバータ13から供給される脈流を交流に変換するインバータ15とを備え、昇降圧コンバータ13が、直流電源11の両端間に直列に接続された第1及び第2のトランジスタQ1、Q2と、インバータ15の入力端間に直列に接続された第3及び第4のトランジスタQ3、Q4と、第1及び第2のトランジスタQ1、Q2の節点と第3及び第4のトランジスタQ3、Q4の節点との間に接続されたリアクトルL1とを有している。



【特許請求の範囲】

【請求項 1】 直流電源からの電力を系統に供給する系統連系インバータであって、前記直流電源から供給される直流電圧を脈流に変換するコンバータと、前記コンバータから供給される前記脈流を交流に変換するインバータとを備え、前記コンバータが、前記直流電源の両端間に直列に接続された第 1 及び第 2 のトランジスタと、前記インバータの入力端間に直列に接続された第 3 及び第 4 のトランジスタと、前記第 1 及び第 2 のトランジスタの節点と前記第 3 及び第 4 のトランジスタの節点との間に接続されたリアクトルとを有していることを特徴とする系統連系インバータ。

【請求項 2】 前記直流電圧が前記系統の電圧の絶対値よりも高い場合には前記第 1 及び第 2 のトランジスタを PWM 駆動し、前記直流電圧が前記系統の電圧の絶対値よりも低い場合には前記第 3 及び第 4 のトランジスタを PWM 駆動する制御回路をさらに備えることを特徴とする請求項 1 に記載の系統連系インバータ。

【請求項 3】 前記制御回路が、前記直流電圧が前記系統の電圧の絶対値よりも高い場合には前記第 3 及び第 4 のトランジスタの一方をオン他方をオフとし、前記直流電圧が前記系統の電圧の絶対値よりも低い場合には前記第 1 及び第 2 のトランジスタの一方をオン他方をオフとすることを特徴とする請求項 2 に記載の系統連系インバータ。

【請求項 4】 前記制御回路が、少なくとも前記リアクトルに流れる電流値に基づいて生成される制御信号波と第 1 及び第 2 の搬送波とを比較することにより、前記第 1 乃至第 4 のトランジスタのオン／オフを制御することを特徴とする請求項 3 に記載の系統連系インバータ。

【請求項 5】 前記第 1 の搬送波が、前記第 2 の搬送波にその振幅と実質的に等しい直流成分が重畳された波形を有していることを特徴とする請求項 4 に記載の系統連系インバータ。

【請求項 6】 前記制御回路が、前記制御信号波と前記第 1 の搬送波とを比較することによって前記第 3 及び第 4 のトランジスタのオン／オフを制御し、前記制御信号波と前記第 2 の搬送波とを比較することによって前記第 1 及び第 2 のトランジスタのオン／オフを制御することを特徴とする請求項 5 に記載の系統連系インバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、系統連系インバータに関し、さらに詳細には、リアクトルの利用効率を改善された系統連系インバータに関する。

【0002】

【従来の技術】従来より、太陽電池や燃料電池などの直流電源より供給される直流電力を系統に連系して交流電力に変換する回路として、系統連系インバータが知られている。系統連系インバータの例としては、特開 200

0-152651 号公報に記載されている。

【0003】図 3 は、同公報に記載された従来の系統連系インバータの回路図である。

【0004】図 3 に示されるように、同公報に記載された従来の系統連系インバータは、入力電源 1 より供給される直流電圧を昇圧するとともに波形形成を行う昇圧コンバータ 2 と、昇圧コンバータからの出力を平滑する中間段コンデンサ 3 と、出力電流 I_o を正弦波に波形形成するインバータ 4 と、出力電圧を平滑するフィルタ 5 と、昇圧コンバータ 2 及びインバータ 4 の動作を制御する制御回路 6 とを備えており、制御回路 6 は、入力電源 1 の電圧が系統電圧よりも低い状態においては、昇圧コンバータ 2 を高周波でスイッチングさせるとともにインバータ 4 を系統電圧の極性に依じて低周波でスイッチングさせ、入力電源 1 の電圧が系統電圧よりも高い状態においては、昇圧コンバータ 2 のスイッチングを停止させるとともにインバータ 4 を高周波でスイッチングさせている。

【0005】これによって、入力電源 1 の電圧が系統電圧よりも低い状態においては、昇圧コンバータ 2 によって昇圧及び波形形成が行われるとともに、入力電源 1 の電圧が系統電圧よりも高い状態においては、インバータ 4 によって波形形成が行われることになる。

【0006】このとき、入力電源 1 の電圧が系統電圧よりも低い状態においては、昇圧コンバータ 2 に含まれるリアクトルが実質的に平滑リアクトルとして機能し、入力電源 1 の電圧が系統電圧よりも高い状態においては、フィルタ 5 に含まれるリアクトルが実質的に平滑リアクトルとして機能する。したがって、昇圧コンバータ 2 に含まれるリアクトル及びフィルタ 5 に含まれるリアクトルは、いずれも平滑リアクトルに要求される十分な大きさを有していることが要求される。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来の系統連系インバータにおいては、入力電源 1 の電圧が系統電圧よりも低い状態においては、昇圧コンバータ 2 に含まれるリアクトルが実質的に平滑リアクトルとして機能するため、フィルタ 5 に含まれるリアクトルはごく小さなリアクトルでよく、場合によって削除しても構わない。したがって、入力電源 1 の電圧が系統電圧よりも低い状態においては、フィルタ 5 に含まれるリアクトルは必要以上の大きさを有しているか、場合によっては無用であると言える。

【0008】一方、入力電源 1 の電圧が系統電圧よりも高い状態においては、フィルタ 5 に含まれるリアクトルが実質的に平滑リアクトルとして機能することになり、昇圧コンバータ 2 に含まれるリアクトルは削除しても構わない。したがって、入力電源 1 の電圧が系統電圧よりも高い状態においては、昇圧コンバータ 2 に含まれるリアクトルは無用であると言える。

【0009】このように、上述した従来の系統連系インバータにおいては、リアクトルの利用効率が悪いため、製品コストの増大や、回路の大型化を招くばかりか、各リアクトルにて発生する損失が大きいという問題があった。

【0010】したがって、本発明の目的は、リアクトルの利用効率が改善された系統連系インバータを提供することである。

【0011】

【課題を解決するための手段】本発明のかかる目的は、
10 直流電源からの電力を系統に供給する系統連系インバータであって、前記直流電源から供給される直流電圧を脈流に変換するコンバータと、前記コンバータから供給される前記脈流を交流に変換するインバータとを備え、前記コンバータが、前記直流電源の両端間に直列に接続された第1及び第2のトランジスタと、前記インバータの入力端間に直列に接続された第3及び第4のトランジスタと、前記第1及び第2のトランジスタの節点と前記第3及び第4のトランジスタの節点との間に接続されたリアクトルとを有していることを特徴とする系統連系イン
20 バータによって達成される。

【0012】本発明によれば、直流電圧が系統の電圧の絶対値よりも高い場合及び低い場合のいずれにおいても、第1及び第2のトランジスタの節点と第3及び第4のトランジスタの節点との間に接続されたリアクトルが、実質的に平滑リアクトルとして機能することから、リアクトルの利用効率が低い。このため、製品コストを削減することができるばかりでなく、回路を小型化でき、さらに、変換効率を高めることが可能となる。

【0013】本発明の好ましい実施態様においては、前記直流電圧が前記系統の電圧の絶対値よりも高い場合には前記第1及び第2のトランジスタをPWM駆動し、前記直流電圧が前記系統の電圧の絶対値よりも低い場合には前記第3及び第4のトランジスタをPWM駆動する制御回路をさらに備える。
30

【0014】本発明のさらに好ましい実施態様においては、前記制御回路が、前記直流電圧が前記系統の電圧の絶対値よりも高い場合には前記第3及び第4のトランジスタの一方をオン他方をオフとし、前記直流電圧が前記系統の電圧の絶対値よりも低い場合には前記第1及び第2のトランジスタの一方をオン他方をオフとする。
40

【0015】本発明のさらに好ましい実施態様においては、前記制御回路が、少なくとも前記リアクトルに流れる電流値に基づいて生成される制御信号波と第1及び第2の搬送波とを比較することにより、前記第1乃至第4のトランジスタのオン／オフを制御する。

【0016】本発明のさらに好ましい実施態様においては、前記第1の搬送波が、前記第2の搬送波にその振幅と実質的に等しい直流成分が重畳された波形を有している。

【0017】本発明のさらに好ましい実施態様においては、前記制御回路が、前記制御信号波と前記第1の搬送波とを比較することによって前記第3及び第4のトランジスタのオン／オフを制御し、前記制御信号波と前記第2の搬送波とを比較することによって前記第1及び第2のトランジスタのオン／オフを制御する。

【0018】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。本実施態様にかかる系統連系インバータは、直流電源より供給される直流電力を系統に連系して交流電力に変換する回路であり、特に限定されないが、直流電源としては太陽電池や燃料電池からの電源を用いることができる。

【0019】図1は、本発明の好ましい実施態様にかかる系統連系インバータ10の回路図である。

【0020】図1に示されるように、本実施態様にかかる系統連系インバータ10は、直流電源11の両端間に接続された入力コンデンサ12と、直流電源11の両端間に接続され直流電源11の電圧を昇圧又は降圧するとともに波形形成を行う昇降圧コンバータ13と、昇降圧コンバータ13の出力端間に接続された中間コンデンサ14と、昇降圧コンバータ13の出力端間に接続され出力電流I_oが正弦波となるよう極性切り替えを行うインバータ15と、昇降圧コンバータ13及びインバータ15の動作を制御する制御回路16とを備えており、インバータ15の出力は、系統電源17に接続されている。

【0021】昇降圧コンバータ13は、直列に接続された第1のトランジスタQ1及び第2のトランジスタQ2からなる第1のアームと、直列に接続された第3のトランジスタQ3及び第4のトランジスタQ4からなる第2のアームと、第1及び第2のトランジスタQ1、Q2の節点と第3及び第4のトランジスタQ3、Q4の節点との間に接続されたエネルギー蓄積用のリアクトルL1と、それぞれ第1～第4のトランジスタQ1～Q4に並列に接続されたダイオードD1～D4とを備える。図1に示されるように、第1及び第2のトランジスタQ1、Q2からなる第1のアームは、直流電源11の両端間に接続されている。また、第3及び第4のトランジスタQ3、Q4からなる第2のアームは、昇降圧コンバータ13の出力端となる。さらに、昇降圧コンバータ13には、リアクトルL1に流れるリアクトル電流I_Lを検出するリアクトル電流モニタM1が備えられており、その検出値は制御回路16に供給される。

【0022】以下に詳述するが、昇降圧コンバータ13が昇圧動作を行う場合には、第1のトランジスタQ1がオン状態、第2のトランジスタQ2がオフ状態に保持されつつ、第3のトランジスタQ3と第4のトランジスタQ4が交互にオン状態となる。一方、昇降圧コンバータ13が降圧動作を行う場合には、第3のトランジスタQ3がオン状態、第4のトランジスタQ4がオフ状態に保
50

持されつつ、第1のトランジスタQ1と第2のトランジスタQ2が交互にオン状態となる。

【0023】中間コンデンサ14は、昇降圧コンバータ13に含まれるリアクトルL1とともにフィルタを構成する。その容量値としては、昇降圧コンバータ13が昇圧動作を行う際に発生するリップル電流を吸収するのに十分な値が求められ、具体的には、インダクタンスが1mH程度のリアクトルL1を用いた場合には、数十 μ F～数百 μ F程度に設定すればよい。

【0024】インバータ15は、いわゆるフルブリッジ回路であり、直列に接続された第5のトランジスタQ5及び第6のトランジスタQ6からなる第3のアームと、直列に接続された第7のトランジスタQ7及び第8のトランジスタQ8からなる第4のアームと、それぞれ第5～第8のトランジスタQ5～Q8に並列に接続されたダイオードD5～D8とを備える。図1に示されるように、第5及び第6のトランジスタQ5、Q6からなる第3のアーム及び第7及び第8のトランジスタQ7、Q8からなる第4のアームは、いずれも昇降圧コンバータ13の出力端間に接続されており、第5及び第6のトランジスタQ5、Q6の節点と第7及び第8のトランジスタQ7、Q8の節点との間に系統電源17が接続される。

【0025】尚、図1に示されるように、第5及び第6のトランジスタQ5、Q6の節点と系統電源17の一端との間には、ノイズ除去用のリアクトルL2が接続されているが、本実施態様においては、リアクトルL2の両端に掛かる電圧は極めて小さいため、非常に小さいリアクトル、例えば数百 μ H程度のインダクタンスを有するリアクトルを用いればよい。すなわち、リアクトルL2においてはE t積が非常に小さいため、コア形状が非常に小さいリアクトルを使用することができる。但し、かかるリアクトルL2は、系統連系インバータ10による変換動作や昇圧／降圧動作に必須なリアクトルではなく、単にノイズの除去を目的としたものであるため、場合によっては、これを省略しても構わない。

【0026】さらに、系統電源17の他端には、出力電流I_oを検出する出力電流モニタM2が備えられており、その検出値は制御回路16に供給される。

【0027】制御回路16は、インバータ制御信号c5～c8を生成するインバータ制御信号生成回路21と、インバータ制御信号c5～c8を受けてインバータ駆動信号C5～C8を生成するインバータ駆動回路22と、第1の搬送波S1及び第2の搬送波S2を発生する搬送波発生回路23と、昇降圧コンバータ制御信号c1～c4を生成する昇降圧コンバータ制御信号生成回路24と、昇降圧コンバータ制御信号c1～c4を受けて昇降圧コンバータ駆動信号C1～C4を生成する昇降圧コンバータ駆動回路25とを備える。

【0028】インバータ制御信号生成回路21は、出力電圧V_oの極性を検出し、これに基づいてインバータ制

御信号c5～c8を生成する。より具体的には、出力電圧V_oの極性が正である場合には、インバータ制御信号c5及びc8をハイレベル、インバータ制御信号c6及びc7をローレベルとし、逆に、出力電圧V_oの極性が負である場合には、インバータ制御信号c6及びc7をハイレベル、インバータ制御信号c5及びc8をローレベルとする。

【0029】インバータ駆動回路22は、インバータ制御信号c5～c8を増幅してインバータ駆動信号C5～C8を生成し、これらを第5～第8のトランジスタQ5～Q8のゲートにそれぞれ供給することによりインバータ15を駆動する回路である。したがって、インバータ駆動回路22には、それぞれインバータ制御信号c5～c8を受けインバータ駆動信号C5～C8を出力する4つのバッファ回路が含まれている。

【0030】搬送波発生回路23により生成される第1及び第2の搬送波S1、S2は、後述するように、いずれも昇降圧コンバータ13のスイッチング周期と同じ周期をもった三角波である。第1の搬送波S1は、第2の搬送波S2にその振幅と実質的に等しい直流成分が重畳された波形を有しており、これにより、第1の搬送波S1の下端電圧と、第2の搬送波S2のピーク電圧とは実質的に一致している。

【0031】昇降圧コンバータ制御信号生成回路24は、入力電圧V_{in}、出力電圧V_o、リアクトル電流I_Lの検出値、出力電流I_oの検出値、第1の搬送波S1及び第2の搬送波S2を受け、これらに基づいて昇降圧コンバータ制御信号c1～c4を生成する。より具体的な動作については後述する。

【0032】昇降圧コンバータ駆動回路25は、昇降圧コンバータ制御信号c1～c4を増幅して昇降圧コンバータ駆動信号C1～C4を生成し、これらを第1～第4のトランジスタQ1～Q4のゲートにそれぞれ供給することにより昇降圧コンバータ13を駆動する回路である。したがって、昇降圧コンバータ駆動回路25には、それぞれ昇降圧コンバータ制御信号c1～c4を受け昇降圧コンバータ駆動信号C1～C4を出力する4つのバッファ回路が含まれている。

【0033】次に、本実施態様にかかる系統連系インバータ10の動作について説明する。

【0034】図2は、本実施態様にかかる系統連系インバータ10の動作波形図である。

【0035】図2に示されるように、本実施態様にかかる系統連系インバータ10の動作は、直流電源11からの入力電圧V_{in}が系統電源17の電圧の絶対値よりも高い期間（時刻t0～t1、時刻t2～t4、時刻t5～t6）と、直流電源11からの入力電圧V_{in}が系統電源17の電圧の絶対値よりも低い期間（時刻t1～t2、時刻t4～t5）とで異なる動作を行う。

【0036】詳細に説明すると、まず、昇降圧コンバー

タ制御信号生成回路 24 は、入力電圧 V_{in} 、出力電圧 V_o 、リアクトル電流 I_L の検出値及び出力電流 I_o の検出値に基づいて、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも高い期間においてリアクトル L_1 に流すべきリアクトル電流 I_L の目標値を示す降圧指令値波を内部生成するとともに、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも低い期間においてリアクトル L_1 に流すべきリアクトル電流 I_L の目標値を示す昇圧指令値波を内部生成する。これら降圧指令値波及び昇圧指令値波の波形は、図 2 (1) に示されている。これら降圧指令値波及び昇圧指令値波のうち、各時間帯においてより高い値を有している指令値波が電流指令値波となる。電流指令値波の波形は、図 2 (m) に示されている。図 2 (1) に示されるように、降圧指令値波は正弦波の絶対値波形であり、昇圧指令値波は、(系統電源 17 の電圧の絶対値 \times 降圧指令値波) / (入力電圧 V_{in}) で導出される波形である。

【0037】図 2 (1) 及び (m) に示されるように、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも高い期間においては、昇圧指令値波よりも降圧指令値波の方が高い値を示し、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも低い期間においては、降圧指令値波よりも昇圧指令値波の方が高い値を示すので、電流指令値波は、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも高い期間においては降圧指令値波と一致し、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも低い期間においては昇圧指令値波と一致することになる。尚、入力電圧 V_{in} と系統電源 17 の電圧の絶対値との比較は図 2 (k) に示されているが、図 2 (k) に示される波形は、本実施態様にかかる系統連系インバータ 10 の動作を説明するためのものであり、このような比較が制御回路 16 において行われているのではない。

【0038】次に、昇降圧コンバータ制御信号生成回路 24 は、電流指令値波とリアクトル電流 I_L の検出値とを比較し、これに基づいて、リアクトル電流 I_L の波形が電流指令値波と一致するように、制御信号波を生成する。

【0039】さらに昇降圧コンバータ制御信号生成回路 24 は、制御信号波と第 1 及び第 2 の搬送波 S_1 、 S_2 とを比較し、これに基づいて、昇降圧コンバータ制御信号 $c_1 \sim c_4$ を生成する。具体的には、制御信号波が第 1 の搬送波 S_1 よりも高い期間においては昇降圧コンバータ制御信号 c_4 をハイレベルとし、逆に、制御信号波が第 1 の搬送波 S_1 よりも低い期間においては昇降圧コンバータ制御信号 c_3 をハイレベルとする。また、制御信号波が第 2 の搬送波 S_2 よりも高い期間においては昇降圧コンバータ制御信号 c_1 をハイレベルとし、逆に、制御信号波が第 2 の搬送波 S_2 よりも低い期間においては昇降圧コンバータ制御信号 c_2 をハイレベルとする。

【0040】これにより、昇降圧コンバータ制御信号 c

1 と c_2 は互いに逆相信号となり、昇降圧コンバータ制御信号 c_3 と c_4 は互いに逆相信号となるので、第 1 乃至第 4 のトランジスタ $Q_1 \sim Q_4$ は、PWM 駆動されることになる。但し、第 1 のトランジスタ Q_1 と第 2 のトランジスタ Q_2 が同時にオンしたり、第 3 のトランジスタ Q_3 と第 4 のトランジスタ Q_4 が同時にオンすることがないように、昇降圧コンバータ制御信号 c_1 と c_2 の間及び昇降圧コンバータ制御信号 c_3 と c_4 の間にはデッドタイムが挿入される。

【0041】また、上述のとおり、第 1 の搬送波 S_1 は第 2 の搬送波 S_2 にその振幅と実質的に等しい直流成分が重畳された波形であるから、第 1 の搬送波 S_1 と第 2 の搬送波 S_2 とは実質的に重なり部分を有しておらず、このため、第 1 及び第 2 のトランジスタ Q_1 、 Q_2 が高周波でスイッチングしている期間においては、第 3 及び第 4 のトランジスタ Q_3 、 Q_4 のスイッチング動作は停止し、第 3 及び第 4 のトランジスタ Q_3 、 Q_4 が高周波でスイッチングしている期間においては、第 1 及び第 2 のトランジスタ Q_1 、 Q_2 のスイッチング動作は停止することになる。

【0042】ここで、入力電圧 V_{in} と系統電源 17 の電圧の絶対値とが一致するタイミングにおいて、制御信号波が第 1 の搬送波 S_1 の波形が存在する領域と第 2 の搬送波 S_2 の波形が存在する領域との境界を越えるように設定されており、このため、図 2 (b) ~ (e) に示されるように、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも高い期間においては、第 1 及び第 2 のトランジスタ Q_1 、 Q_2 が PWM 駆動され、入力電圧 V_{in} が系統電源 17 の電圧の絶対値よりも低い期間においては、第 3 及び第 4 のトランジスタ Q_3 、 Q_4 が PWM 駆動されることになる。

【0043】第 1 及び第 2 のトランジスタ Q_1 、 Q_2 が PWM 駆動されると、入力電圧 V_{in} は降圧され、第 3 及び第 4 のトランジスタ Q_3 、 Q_4 が PWM 駆動されると、入力電圧 V_{in} は昇圧される。これにより、昇降圧コンバータ 13 の出力端間の電圧波形は脈流波形となって系統電源 17 の電圧の絶対値と実質的に一致し、これがインバータ 15 によって正弦波に変換された後、系統電源 17 に供給される。

【0044】以上のような動作においては、第 1 ~ 第 4 のトランジスタ $Q_1 \sim Q_4$ のオン/オフは、制御信号波と第 1 の搬送波 S_1 及び第 2 の搬送波 S_2 とを比較することにより決定されることから、昇降圧コンバータ 13 による降圧動作と昇圧動作との切り替えが自動的に行われることになる。また、リアクトル L_1 は、昇降圧コンバータ 13 が降圧動作を行っている場合及び昇圧動作を行っている場合のいずれにおいても、共通に平滑リアクトルとして機能しており、利用効率が大幅に高められていることが分かる。

【0045】このように、本実施態様による系統連系イ

ンバータ 10 によれば、リアクトル L1 は、昇降圧コンバータ 13 が降圧動作を行っている場合及び昇圧動作を行っている場合のいずれにおいても、共通に平滑リアクトルとして機能するため、リアクトルの利用効率が高い。このため、製品コストを削減することができるばかりでなく、回路を小型化でき、さらに、変換効率を高めることが可能となる。

【0046】また、本実施態様による系統連系インバータ 10 によれば、制御信号波と第 1 の搬送波 S1 及び第 2 の搬送波 S2 とを比較することにより、昇降圧コンバータ 13 による降圧動作と昇圧動作との切り替えが自動的に行われることから制御回路 16 による制御を簡易に行うことができる。

【0047】本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0048】

【発明の効果】以上説明したように、本発明によれば、リアクトルの利用効率が改善された系統連系インバータを提供することが可能となる。

*

* 【図面の簡単な説明】

【図 1】本発明の好ましい実施態様にかかる系統連系インバータ 10 の回路図である。

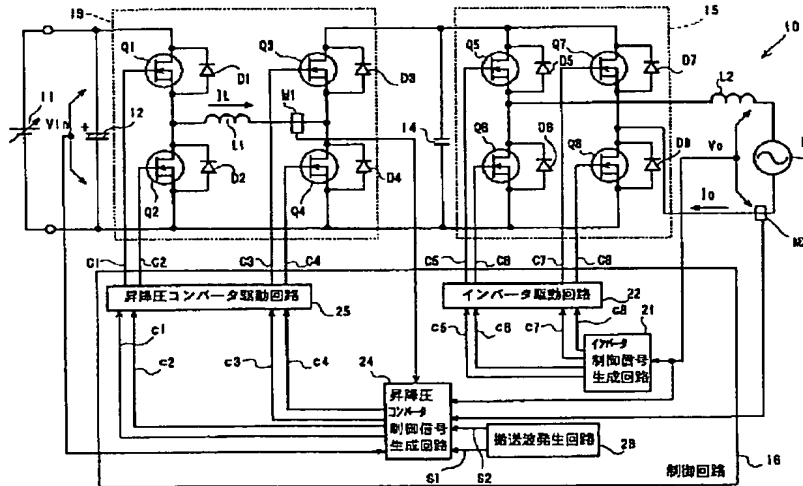
【図 2】本発明の好ましい実施態様にかかる系統連系インバータ 10 の動作波形図である。

【図 3】従来の系統連系インバータの回路図である。

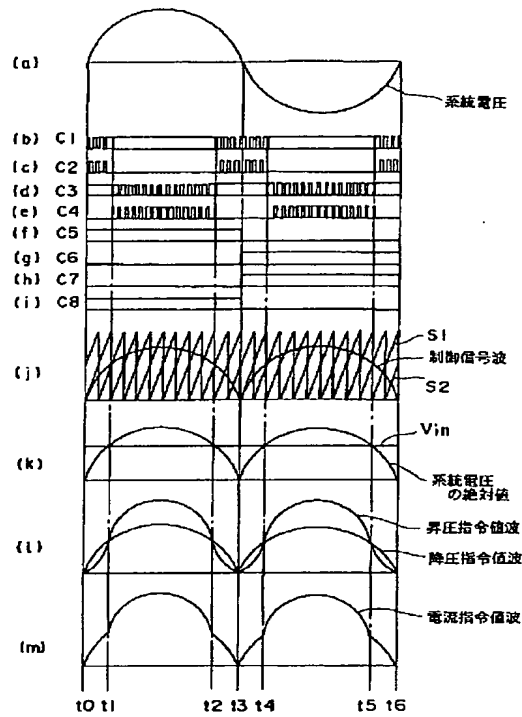
【符号の説明】

- | | |
|----|------------------|
| 10 | 系統連系インバータ |
| 11 | 直流電源 |
| 12 | 入力コンデンサ |
| 13 | 昇降圧コンバータ |
| 14 | 中間コンデンサ |
| 15 | インバータ |
| 16 | 制御回路 |
| 17 | 系統電源 |
| 21 | インバータ制御信号生成回路 |
| 22 | インバータ駆動回路 |
| 23 | 搬送波発生回路 |
| 24 | 昇降圧コンバータ制御信号生成回路 |
| 25 | 昇降圧コンバータ駆動回路 |

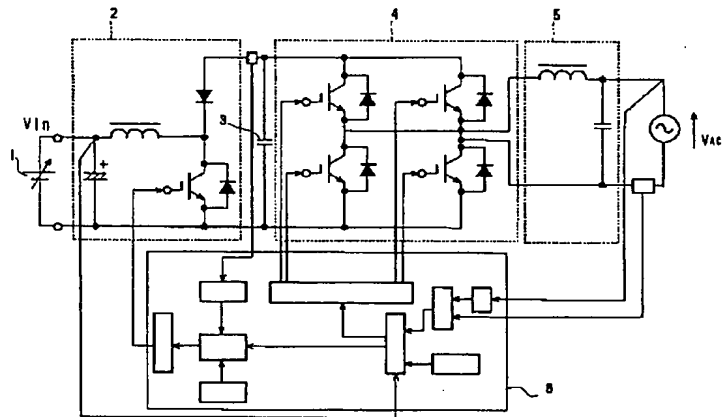
【図 1】



【図2】



【図3】



フロントページの続き

(72)発明者 伊藤 一行
東京都中央区日本橋一丁目13番1号 ティー
ディーケー株式会社内

Fターム(参考) 5H007 BB02 CA02 CB04 CB05 CC03
CC12 DA06 DB01 DC02 DC05
EA02
5H730 AS04 AS05 BB13 BB14 BB57
BB83 BB86 DD04 DD32 FD21
FG05